

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

02733732 **Image available**
ELECTRON BEAM GENERATING APPARATUS AND ITS DRIVING METHOD

PUB. NO.: 01 -031332 [JP 1031332 A]
PUBLISHED: February 01, 1989 (19890201)
INVENTOR(s): SUZUKI HIDETOSHI
NOMURA ICHIRO
TAKEDA TOSHIHIKO
KANEKO TETSUYA
SAKANO YOSHIKAZU
YOSHIOKA SEISHIRO
YOKONO KOJIRO
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 62-186650 [JP 87186650]
FILED: July 28, 1987 (19870728)
INTL CLASS: [4] H01J-029/48; H01J-001/20; H01J-037/06
JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes); 41.3 (MATERIALS -- Semiconductors); 44.6 (COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other)
JAPIO KEYWORD: R003 (ELECTRON BEAM)
JOURNAL: Section: E, Section No. 761, Vol. 13, No. 218, Pg. 162, May 22, 1989 (19890522)

ABSTRACT

PURPOSE: To make it possible to align many electron emitting elements and drive them by arranging plural electron emitting elements in a two dimensional matrix, electrically connecting each other the terminals on the same side of all elements in a same column and applying a voltage to them.

CONSTITUTION: Plural electron emitting elements ES are aligned in n lines and m columns. The terminals of adjoined electron emitting elements aligned in a line direction are electrically connected to each other and those on the same side of all electron emitting elements in a same column aligned in a column direction are also electrically connected to each other. By this aligning method, it is possible to align more elements than in case of connecting the right and left terminals of all elements in a same column to each other with one line respectively. A needed voltage is applied between the terminals on both sides of the element of an arbitrary column in electron emitting elements in this alignment to drive them. Thus, it is possible to drive easily the apparatus in the caption by a line successive scanning method to conduct successively this operation to next adjoining column.

⑫ 公開特許公報 (A) 昭64-31332

⑬ Int.CI.

H 01 J 29/48
1/20
37/06

識別記号

厅内整理番号

⑭ 公開 昭和64年(1989)2月1日

7301-5C
6722-5C
Z-7013-5C

審査請求 未請求 発明の数 2 (全7頁)

⑮ 発明の名称 電子線発生装置およびその駆動方法

⑯ 特 願 昭62-186650

⑰ 出 願 昭62(1987)7月28日

⑮ 発明者	姓 純	英 俊	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑯ 発明者	姓 野 村	一 郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰ 発明者	姓 武 田	俊 彦	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑱ 発明者	姓 金 子	哲 也	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑲ 発明者	姓 坂 野	嘉 和	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑳ 発明者	姓 吉 岡	征 四 郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉑ 発明者	姓 横 野	幸 次 郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉒ 出願人	キヤノン株式会社		東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉓ 代理人	弁理士 渡辺 徳廣		東京都大田区下丸子3丁目30番2号	キヤノン株式会社内

明細書

1. 発明の名称

電子線発生装置およびその駆動方法

2. 特許請求の範囲

(1) 基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子同志を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子同志を電気的に結線してなることを特徴とする電子線発生装置。

(2) 基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子同志を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子同志を電気的に結線してなり、前記外方向の複数の電子放出素子は2列以上のm列にわたって設けられ、その電気的な結線がm+1本の電極で取り出され、前記m列の電子放出素子群のうちの任意のx列目を駆動するの

に、1～x本目の電極には共通の電位V₁を印加し、x+1～m+1本目の電極には前記電位V₁と異なる共通の電位V₂を印加することを特徴とする電子線発生装置の駆動方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は電子線発生装置およびその駆動方法に関するもので、特に表面伝導形放出素子もしくはこれと類似の電子放出素子を多数使用した電子線発生装置の改良およびその駆動方法に関するものである。

【従来の技術】

従来、簡単な構造で電子の放出が得られる素子として、例えば、エム・アイ・エリソン (M.I. Ellison) によって発表された凸面型素子が知られている。〔ラジオ エンジニアリング エレクトロニクス フィジックス (Radio Eng. Electron. Phys.) 第10巻, 1290～1296頁, 1965年〕

これは、基板上に形成された小面積の凸部に、誘電体に平行に逆説を施すことにより、電子放出が生ずる現象を利用するもので、一般には表面伝導

表面放出電子と呼ばれている。

この表面伝導型放出電子としては、前記エリンソン等により開発された TaO_x (3b) 膜層を用いたもの、Al 膜によるもの【ジー・ディットマー “スイン ソリド フィルムス” (G. Dittmer: “Thin Solid Films”), 9巻, 317 頁, (1972年)】、ITO 膜層によるもの【エム ハートウェル アンド シー ジー フォンスタッド “アイ イー イー イー トランス” イー ディー コンフ (M. Hartwell and G. G. Fonstad: “IEEE Trans. ED Conf.”) 519 頁, (1975年)】、カーボン膜層によるもの【夏木久雄: “真空”, 第26巻, 第1号, 27頁, (1983年)】などが報告されている。

これらの表面伝導型放出電子は、

- 1) 高い電子放出効率が得られる
- 2) 構造が簡単であるため、製造が容易である
- 3) 同一基板上に多数の電子を配列形成できる等の利点を有する。

従って、たとえば大画面の基板上に微細なピッ

チで多数の電子を配列した電子線発生装置や、これを用いた高精度大画面の表示装置などへの応用が期待されるものである。

【発明が解決しようとする問題点】

しかしながら、従来の電子線発生装置で行なわれている電子の配線法については、以下に説明する様な点で問題があった。

第5図は従来の配線法を示す配線図である。同図において、E3は表面伝導型放出電子等の電子放出電子で、基板上に $m \times n$ 個、配列して形成されている。尚、図中に対しては、説明を簡単にするため、 $m=6$ 、 $n=8$ のものが示されているが、一般には、 m 、 n はもっと大きく、たとえば数百～数千の場合もある。

これらの電子は $E_1 \sim E_m$ の 2 本の電極により 1 列 (n 個) づつ共通配線されており、たとえば平板型 CRT のような表示装置へ応用した場合、画像を 1 ライン毎に同時に表示する線順次走査方式に適する様に形成されている。

即ち、1 列目を走査するには、電極 E_1 と電極 E_2

間に所定電圧を印加し、次に 2 列目を走査するために、電極 E_3 と電極 E_4 間に所定電圧を印加するというように、1 列毎に電子ビーム群を順次放射させ、同時にこれと直交して行方向に設けられた図示外の n 本のグリッドにより個々の電子ビームの強度を調節するものである。

従来、このような電子線発生装置においては、電子発生電子を数多く設けて電子の配列のピッチを小さくしようとすると、配線方法に問題が生じていた。

たとえば、1 列あたりの電子数 n を大きくすると、駆動電圧を供給するための共通電極 ($E_1 \sim E_m$) の巾 d_1 を大きくする必要があるが、この様に巾 d_1 を大きくすると行方向の配列ピッチを大きくすることになる。この様な状態を少しでも解消するために、電極間隔 d_2 を小さくすることも考えられるが、電極間の絶縁を十分維持するためにはこれにも限度があり、また電極間の電気容量が増加するため、駆動速度が低下するという問題が発生していた。

この様な問題があるために、従来の電子線発生装置では、たとえば、高精細、大量の表示装置のためのマルチ電子線等の応用上の要請を満足するのに必要な十分な電子数と配列ピッチを備えたものを実現するのが困難であった。

本発明は、上述の様な従来技術の問題点に鑑みてなされたもので、その目的は、表面伝導型放出電子もしくはこれに類似の電子放出電子を用いた線順次走査方式の電子線発生装置において、電子放出電子を微細なピッチで、多数個配列することを可能にした電子線発生装置およびその駆動方法を提供することである。

【問題点を解決するための手段】

即ち、本発明の第一の発明は、基板上に複数の電子放出電子を 2 次元的に行列状に配設し、行方向に配列された隣接する電子放出電子の対向する電子同志を電気的に結線するとともに、列方向に配列された同一列上の全電子放出電子の同じ側の電子同志を電気的に結線してなることを特徴とする電子線発生装置である。

また、第二の発明は、基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子同士を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子同士を電気的に結線してなり、前記列方向の複数の電子放出素子は2列以上のm列にわたって置けられ、その電気的な結線がm+1本の電極で取り出され、前記m列の電子放出素子群のうちの任意のx列目を駆動するのに、1～x本目の電極には共通の電位V₁を印加し、x+1～m+1本目の電極には前記電位V₁と異なる共通の電位V₂を印加することを特徴とする電子線発生装置の駆動方法である。

具体的には、基板上に複数の電子放出素子を2次元的に行列状に置け、行(x)方向に関しては、隣接する素子の対向する端子同士を電気的に結線するとともに、列(y)方向に関しては、同一列上の全素子について同じ側の端子同士を電気的に結線してなる電子線発生装置において、前記

列方向の複数の電子放出素子は、2以上のm(m≥2)列にわたって置けられ、前記電気的な結線がE₁～E_mのm+1本の電極で取り出されており、前記m列の電子放出素子群のうち、任意のx列目を駆動するのに(1≤x≤m)、E₁～E_xのx本の電極には共通の電位V₁を印加し、E_{x+1}～E_{m+1}のm-x+1本の電極には共通の電位V₂を印加する(V₁≠V₂)ことを特徴とする電子線発生装置およびその駆動方法である。

【作用】

本発明の電子線発生装置は、基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子同士を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子同士を電気的に結線してなるので、従来は各列毎に電子放出素子の配線を共通化していたのに對し、本発明の場合は隣接する2列間の配線を共通化し、多數の素子を最短なピッチで配列することが可能である。また、電極間の配線容量も大巾に

小さくするために駆動も容易になる。

【実施例】

以下、図面に示す実施例に基づいて本発明を詳細に説明する。

実施例1

第1図は本発明の電子線発生装置の一実施例を示す配線図である。同図は、表面伝導形放出素子をm×n個(m=7, n=11)備えた電子線発生装置を示す。図から明らかのように、従来は各列毎に配線を共通化していたのに対し、本発明の場合には隣接する2列間の配線を共通化している。

すなわち、従来、m列の素子を配線するのに2m本の電極で行なっていたのに対し、本発明ではm+1本の電極で行なうことを特徴としている。

本発明の方針によれば、従来と同じ素子を用いながら、より多數の素子を最短なピッチで配列することが可能である。従来、素子列と素子列の間に配線のために(2×d₁+d₂)の巾が必要であったが、本発明の場合に必要な巾はd₂である。

もし、一列あたりの素子数が同じ場合なら、一列単位の列順次駆動の場合、電極に流れる電流は同じであるから、d₂=d₁であればよく、列間ピッチを(2×d₁+d₂)-d₁=d₁+d₂だけ小さくすることができます。

第1図の実施例では、ほぼ同じ面積の従来の第5回の方針と比較して、行方向と列方向の両方とも配列ピッチを小さくすることができる。第5回の場合、列方向にはロ=8個の素子が配列されているが、第1回ではロ=11個が配列されている。したがって、電極巾として、d₂はd₁×11/8であるが、本実施例では余裕をみて、d₂=5/3 d₁(>11/8d₁)としている。一方、行方向についても、第5回ではm=6であるが、第1回の実施例ではm=7に増やすことができる。

次に、上記実施例の駆動方法について説明する。第1回の1段において、任意のx列目(1≤x≤m)を駆動するためには、電極E₁～E_xに対して

電極	電圧[V]
$E_1 \sim E_n$	VE
$E_{n+1} \sim E_{n+n}$	0

---①

または

電極	電圧[V]
$E_1 \sim E_n$	0
$E_{n+1} \sim E_{n+n}$	VE

---②

の電圧を印加すればよい。ただし、VEとは、一列あたりn個の電子を駆動するのに必要な電圧である。

いかえれば、x列目の電子の両端にのみ電位がVEが生ずるよう、電位を印加すればよいわけである。本実施例に於ては、印加電圧の極性によらず、電子放出が良好な電子を用いたため、①、②のどちらの方法を行なってもよい。しかし、操作により電子放出特性が大巾に変わるもの用いる場合には、①、②のうちどちらか1つの方法に

固定し、常に印加電圧の極性を一定させるか、又はのとゆで印加電圧VEを使って特性の違いを補正するなどの工夫を行なえばよい。

次に、第1回の実施例にて、1月日から2月11日まで順次走査していくための回路構成の一例を第2回の回路図に示す。

第2回において、1は前記第1回で説明した電子線発生装置で、 $E_1 \sim E_{n+n}$ の $n+1$ 本の電極端子が取り出されている。また、SBはシリアル・イン／パラレル・アウトのシフトレクスターであり、外端から与えられるシリアル入力信号(SIn)、クロック信号(CLK)、クリアーフィード(CLR)にもとづき、 n 本のパラレル信号($P_1 \sim P_n$)を出力する。また、INVはインバータである。BDはバッファードライバーで、 $I_1 \sim I_{n+n}$ に入力する信号にもとづき、 $0_1 \sim 0_{n+n}$ からVE[V]又は0[V]を出力する。

この回路の動作の手順を、下記の表1に示す。

表 1

クロック 信号	クリアーフィード 信号	E ₁	E ₂	E ₃	E ₄	E ₅	E ₆	E ₇	E ₈	駆動する 電子列 (列目)
-	1	VE	0	0	0	0	0	0	0	1
1	0	VE	VE	0	0	0	0	0	0	2
1	0	VE	VE	VE	0	0	0	0	0	3
1	0	VE	VE	VE	VE	0	0	0	0	4
1	0	VE	VE	VE	VE	VE	0	0	0	5
1	0	VE	VE	VE	VE	VE	VE	0	0	6
1	0	VE	0	7						
1	0	0	VE	1						
1	0	0	0	VE	VE	VE	VE	VE	VE	2
1	0	0	0	0	VE	VE	VE	VE	VE	3
1	0	0	0	0	0	VE	VE	VE	VE	4
1	0	0	0	0	0	0	VE	VE	VE	5
1	0	0	0	0	0	0	0	VE	VE	6
1	0	0	0	0	0	0	0	0	VE	7
1	0	VE	0	0	0	0	0	0	0	1

(注) 1: クロック信号の立ち上がりを示す。

まず最初、シフトレクスターSBにクリアーフィードを入力すると、シフトレクスターSBの $P_1 \sim P_n$ はすべて0を出力し、又、インバーターINVは1を出力する。したがって、バッファードライバーBDは0だけがVE[V]を出力し、 $0_1 \sim 0_{n+n}$ は0[V]を出力する。その結果、前記電子線発生装置の E_1 にのみVE[V]が印加されることとなり、電子列のうち第1列目だけが駆動される。

次に、クリアーフィードを0とし、クロック信号を1回入力すると(表1中、1で示す)、バッファードライバーBDの I_1 と I_2 に1が、 $I_3 \sim I_{n+n}$ には0が入力されるため、結果的には E_1 と E_2 にVE[V]、そして $E_3 \sim E_{n+n}$ には0[V]が印加され、電子の第2列目が駆動される。

以下、同様にクロック信号が入力される度に表1の手順を上から下に行っていく。そして、第7列目が駆動された($E_1 \sim E_7$ にVE[V]、 E_8 に0[V]印加)次のクロックで、再び第1列目が駆動されるが、この時には初回と異なり、 E_1 に0[V] $E_2 \sim E_8$ にVE[V]が印加される。すなわち、第1回

日の走査では、偶数列方法の説明におけるのの方法、2回目の走査ではのの方法が用いられ、以下これが交互にくり返されることとなる。

実施例2

次に、本発明の第二の実施例を第3図に示す。本実施例は、基本構成としては第1図の例と同様のものであるが、偶数列と奇数列の電子の配列が半ピッチ分ずらせてある点が異なる。

本実施例は、特に、TV受像機の分野では公知のインターレース方式に適したものである。すなわち、たとえば、フラットCRTなどに応用した時、奇数列(1,3,5,...列)と偶数列(2,4,6,...列)を交互に走査することにより、ちらつきの少ない画像表示を行なうことができる。この場合、前記第2図の走査回路を若干変更する必要がある。即ち、バッファードライバーBの信号入力端子(1,...,i,...)の前にラッチを一段設け、該ラッチをシフトレジスタの1/2周波数のクロックで駆動すれば、所望のインターレース走査が可能となる。

また、これ以外にも電子の配列の方法にはバリ

エーションが可能で、要するに、その応用目的にあわせて最適の配列を行なえればよい。

たとえば、第4図に示すように、同一基板上に2種以上の電子管を配列してもよく(第4図中、ES₁とES₂は電子の形状や電子放出特性が異なる。)、また配列のピッチを部分的に変えたり、場合によっては複数の電子管を直列接続したり、必要な応じて、電極の巾_Wを変えたりすることも可能である。

また、使用される電子放出電子管も、表面伝導形放出電子管をはじめとして、Pb接合を用いたもの、MJE構造を有するもの等であってもよい。

尚、上記の説明では、逐隔次走査方式の表示装置への応用を主眼においたため、1列ずつ駆動する場合を説明したが、本発明の駆動はこれ等に限定されるものではなく、任意の列を同時に駆動することもむろん可能である。

たとえば、p列目とq列目とr列目を同時に駆動したい時には、(1≤p≤n, 1≤q≤n, 1≤r≤n, p < q < rとする)

電極	印加電圧[V]
E ₁ ～E _n	VE
E _{1,1} ～E _{1,n}	0
E _{2,1} ～E _{2,n}	VE
E _{3,1} ～E _{3,n}	0

または

電極	印加電圧[V]
E ₁ ～E _n	0
E _{1,1} ～E _{1,n}	VE
E _{2,1} ～E _{2,n}	0
E _{3,1} ～E _{3,n}	VE

で示されるような電圧を印加すればよい。また、たとえば全列を同時に駆動したい時には、E偶数-VE[V]、E奇数-0[V]又はE偶数-0[V]、E奇数-VE[V]のような電圧を印加すればよい。要するに、任意の電子列に駆動電圧VEを印加することは容易である。

【発明の効果】

以上説明した様に、本発明による電子線発生装置の配線手段を用いれば、従来と比較して多数の電子放出電子管を緻密なピッチで配列することが可能である。しかも、電極間の配線容量も大巾に小さくできるため、駆動も容易になる。

また、駆動回路との接続を、従来、2回の電極で行なっていたのに對し、本発明の方法では $n+1$ 回で行なうため、製造も容易になり、信頼性も向上する。

本発明は、表面伝導形放出電子管もしくはこれと類似の電子放出電子管を多數個備えた電子線発生装置に広く適用可能で、例えば、平板形CRT装置をはじめ、各種表示装置、記録装置、電子線描画装置等の広範囲の装置に応用することができる。

4. 図面の簡単な説明

第1図は本発明の電子線発生装置の一実施例を示す配線図、第2図はその走査回路を示す回路図、第3図および第4図はるる本発明の他の実施例を示す配線図および第5図は従来の電子線発生

父の配線図である。

...電子盤先生装置

ES—電子放出電子

SE—シフトレススタ

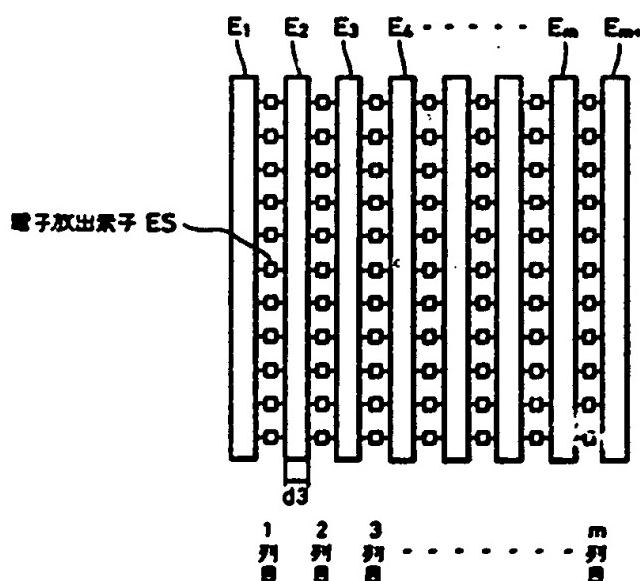
184 - インパート

■B=ベニスエードライバー

出題人 キヤノン株式会社

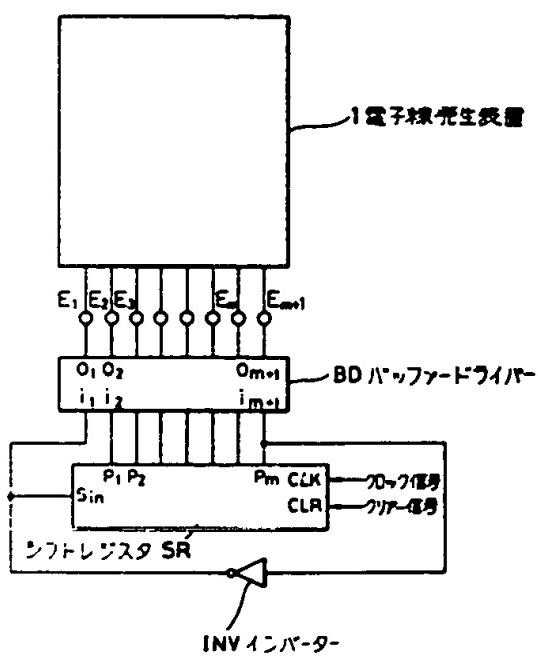
代理人 賴 迎 雜 廉

第1圖

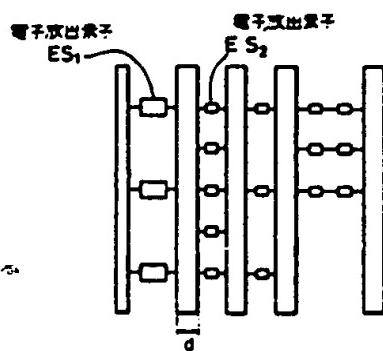


第3圖

第2回



第4回



第5図

